

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-358225  
 (43)Date of publication of application : 26.12.2001

(51)Int.Cl. H01L 21/8234  
 H01L 21/283  
 H01L 21/318  
 H01L 27/088

(21)Application number : 2001-105631 (71)Applicant : AGERE SYSTEMS GUARDIAN CORP  
 (22)Date of filing : 04.04.2001 (72)Inventor : CHITTIPEDDI SAILESH  
 MA YI  
 ROY PRADIP K

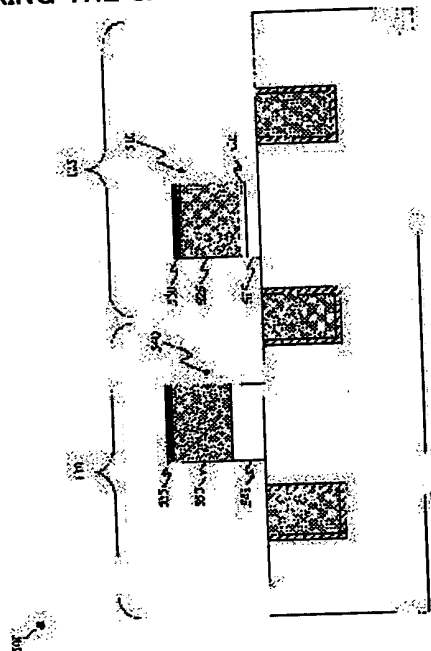
(30)Priority  
 Priority number : 2000 542763 Priority date : 04.04.2000 Priority country : US

(54) DUAL-GATE SEMICONDUCTOR DEVICE HAVING BARRIER LAYER CONTAINING NITROGEN AND OXYGEN AND METHOD OF MANUFACTURING THE SAME

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a dual-gate semiconductor device capable of solving a problem associated with boron diffusion, and a method of manufacturing the same.

SOLUTION: In a form of embodiment, the dual-gate semiconductor device contains a low-voltage region where a first gate dielectric are formed thereon and a diffusion barrier layer containing nitrogen and oxygen is formed on the first gate dielectric, and a high-voltage region where a second gate dielectric having a thickness thicker than that of the first gate dielectric is formed thereon and the diffusion barrier layer does not exist.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

<http://www19.ipdl.ncipi.go.jp/PA1/result/detail/main/wAAAV6aOgXDA413358225P> 2004/12/15

BEST AVAILABLE COPY

[Date of registration]

[Number of appeal against examiner's decision  
of rejection]

[Date of requesting appeal against examiner's  
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号  
特開2001-358225  
(P2001-358225A)

(43) 公開日 平成13年12月26日 (2001. 12. 26)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	テーマコード (参考)
H 0 1 L	21/8234	H 0 1 L 21/283	C 4 M 1 0 4
	21/283	21/318	C 5 F 0 4 8
	21/318	27/08	1 0 2 C 5 F 0 5 8
	27/088		

審査請求 未請求 請求項の数34 O L (全 9 頁)

(21) 出願番号	特願2001-105631(P2001-105631)
(22) 出願日	平成13年4月4日 (2001. 4. 4)
(31) 優先権主張番号	0 9 / 5 4 2 7 6 3
(32) 優先日	平成12年4月4日 (2000. 4. 4)
(33) 優先権主張国	米国 (US)

(71) 出願人 301030605  
アギア システムズ ガーディアン コー  
ポレーション  
Agere Systems Guard  
ian Corporation  
アメリカ合衆国, 32819-8698 フロリダ,  
オーランド, サウス ジョン ヤング バ  
ークウェイ 9333  
(74) 代理人 100064447  
弁理士 岡部 正夫 (外11名)

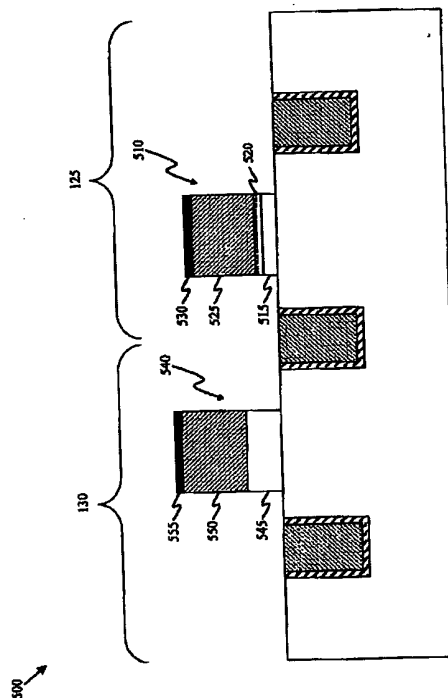
最終頁に続く

(54) 【発明の名称】 窒素および酸素含有障壁層を有するデュアルゲート半導体装置およびその製造方法

(57) 【要約】

【課題】 本発明は、ホウ素拡散に伴う問題点を解決可能なデュアルゲート半導体装置とその製造方法を提供する。

【解決手段】 1つの実施の形態では、デュアルゲート半導体装置は、上に第1のゲート誘電体が形成されており、該第1のゲート誘電体の上に窒素および酸素を含む拡散障壁層が形成されている低電圧領域と、第1のゲート誘電体より厚い厚さを有する第2のゲート誘電体が上に形成されており、前記拡散障壁層が無い高電圧領域と、を含む。



## 【特許請求の範囲】

【請求項1】デュアルゲート半導体装置であって、上に第1のゲート誘電体が形成されており、該第1のゲート誘電体の上に窒素および酸素を含む拡散障壁層が形成されている低電圧領域と、

該第1のゲート誘電体より厚い厚さを有する第2のゲート誘電体が上に形成されており、前記拡散障壁層が無い高電圧領域と、を具備することを特徴とするデュアルゲート半導体装置。

【請求項2】前記第2のゲート誘電体は、約3.5nmの厚さを有し、前記第1のゲート誘電体は、約1.0nmから約2.0nmに互る厚さを有する請求項1記載のデュアルゲート半導体装置。

【請求項3】前記拡散障壁層は、一般式 $SiO_xN_y$ を有する酸化窒化物障壁層であり、XおよびYはガス流量および温度を変えることによって変化する可能性がある請求項1記載のデュアルゲート半導体装置。

【請求項4】前記酸化窒化物障壁層は、約0.5nmから約1.0nmに互る厚さを有する請求項3記載のデュアルゲート半導体装置。

【請求項5】前記第1および第2のゲート誘電体は酸化物である請求項1記載のデュアルゲート半導体装置。

【請求項6】前記酸化物は二酸化珪素である請求項5記載のデュアルゲート半導体装置。

【請求項7】前記拡散障壁層の上に形成された第1のゲートを更に含むことを特徴とする請求項1記載のデュアルゲート半導体装置。

【請求項8】前記第2のゲート誘電体の上に形成された第2のゲートを更に含むことを特徴とする請求項7記載のデュアルゲート半導体装置。

【請求項9】前記第1のゲートは、P型チャネル金属酸化膜半導体(PMOS)装置のゲートを形成する請求項7記載のデュアルゲート半導体装置。

【請求項10】前記第1のゲートに関連しホウ素がドーピングされたソース/ドレイン領域を更に含むことを特徴とする請求項9記載のデュアルゲート半導体装置。

【請求項11】前記拡散障壁層はホウ素注入を抑制する請求項10記載のデュアルゲート半導体装置。

【請求項12】前記第1のゲート誘電体は緻密化された酸化物である請求項1記載のデュアルゲート半導体装置。

【請求項13】デュアルゲート半導体装置を形成する方法であって、

該デュアルゲート半導体装置の低電圧領域の少なくとも一部に互って第1のゲート誘電体を形成することと、

該第1のゲート誘電体上に窒素および酸素を含む拡散障壁層を形成することと、

デュアルゲート半導体装置の高電圧領域の少なくとも一部の上に、該第1のゲート誘電体の厚さより厚い第2のゲート誘電体を形成し、該高電圧領域には前記拡散障壁

層を形成しないことと、を含むことを特徴とする方法。

【請求項14】前記第1および第2のゲート誘電体を形成することは、該第1のゲート誘電体を約1.0nmから約2.0nmに互る厚さに形成することと、該第2のゲート誘電体を約3.5nmの厚さに形成することと、を含む請求項13記載の方法。

【請求項15】拡散障壁層を形成することは、一般式 $SiO_xN_y$ を有する酸化窒化物拡散障壁層を形成することを含み、XおよびYはガス流量および温度を変えることによって変化する可能性がある請求項13記載の方法。

【請求項16】酸化窒化物拡散障壁層を形成することは、該酸化窒化物膜拡散障壁層を約0.5nmから約1.0nmに互る厚さに形成することを含む請求項15記載の方法。

【請求項17】拡散障壁層を形成することは、該拡散障壁層を約0.5nmから約1.0nmに互る厚さに形成することを含む請求項13記載の方法。

【請求項18】第1および第2のゲート誘電体を形成することは、酸化物を形成することを含む請求項13記載の方法。

【請求項19】酸化物を形成することは、二酸化珪素を形成することを含む請求項18記載の方法。

【請求項20】前記拡散障壁層の上に第1のゲートを形成することを更に含むことを特徴とする請求項13記載の方法。

【請求項21】前記第2のゲート誘電体の上に第2のゲートを形成することを更に含むことを特徴とする請求項13記載の方法。

【請求項22】第1のゲートを形成することは、P型チャネル金属酸化膜半導体(PMOS)装置を形成することを含む請求項20記載の方法。

【請求項23】前記第1のゲートに関連する、ホウ素がドーピングされたソース/ドレイン領域を形成することを更に含むことを特徴とする請求項22記載の方法。

【請求項24】前記拡散障壁層を形成することは、ゲート漏れを低下させ、ホウ素注入を抑制する請求項13記載の方法。

【請求項25】拡散障壁層を形成することは、低圧化学気相成長(LPCVD)プロセスまたはプラズマ化学気相成長(PECVD)プロセスを用いて拡散障壁層を形成することを含む請求項13記載の方法。

【請求項26】前記第2のゲート誘電体の形成中に前記第1のゲート誘電体を緻密化することを更に含むことを特徴とする請求項13記載の方法。

【請求項27】上に第1のゲート誘電体が形成されており、該第1のゲート誘電体の上に窒素および酸素を含む拡散障壁層が形成されている低電圧領域と、

該第1のゲート誘電体より厚い厚さを有する第2のゲート誘電体が上に形成されており、前記拡散障壁層が無い高電圧領域と、を含む基板上に設けられたデュアルゲ

## 3

トランジスタと、該デュアルゲートトランジスタ上に形成された誘電体層と、該誘電体層内に形成され、前記デュアルゲートトランジスタを相互接続することにより演算集積回路を形成する、相互接続構造と、を具備することを特徴とする集積回路。

【請求項 28】 前記第 1 のゲート誘電体は、約 1.0 nm から約 2.0 nm に互る厚さを有し、前記第 2 のゲート誘電体は、約 3.5 nm の厚さを有する請求項 27 記載の集積回路。

【請求項 29】 前記拡散障壁層は、一般式  $\text{SiO}_x\text{N}_y$  を有する酸化化物障壁層であり、X および Y はガス流量および温度を変えらることによって変化する可能性がある請求項 27 記載の集積回路。

【請求項 30】 前記第 2 のゲート誘電体の上に形成された第 2 のゲートを更に含むことを特徴とする請求項 27 記載の集積回路。

【請求項 31】 前記拡散障壁層の上に形成された第 1 のゲートを更に含むことを特徴とする請求項 27 記載の集積回路。

【請求項 32】 前記第 1 のゲートは、P 型チャネル金属酸化膜半導体 (PMOS) 装置のゲートを形成する請求項 31 記載の集積回路。

【請求項 33】 前記拡散障壁層は、ゲート漏れを低下させ、ホウ素注入を抑制する請求項 27 記載の集積回路。

【請求項 34】 CMOS 装置、BiCOMS 装置およびバイポーラ装置からなるグループから選択された装置を更に含むことを特徴とする請求項 27 記載の集積回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、概して半導体装置に関し、特にゲート誘電体上に窒素および酸素含有障壁層が形成されたデュアルゲート半導体装置に関する。

【0002】

【従来の技術】 集積回路 (IC) 産業において、1つの集積回路装置上にデュアルゲート酸化層を集積することが必要になってきた。デュアルゲート酸化層処理を実行する 1つの動機づけは、高性能トランジスタが薄いゲート誘電体領域を必要とし、かつ低い電圧 (例えば、1.8V ~ 2.5V) で動作する一方で、大抵の従来からの外部周辺装置は、一般に 3.3V ~ 5.0V 等のより高い動作電圧を必要とする、ということである。低電圧高性能の金属酸化膜半導体 (MOS) トランジスタをそれより電圧の高い装置にインタフェースしている場合、IC の入力および出力 (I/O) バッファは、一般に、高い方の外部周辺装置の電圧と互換性のあるより厚いゲート誘電体領域を含むよう設計されるが、一方で、極薄ゲート酸化膜を有する低電圧トランジスタが設計されている。更に、最近のマイクロコントローラユニット

およびデジタル信号プロセッサは、いくつか異なるタイプのテクノロジーを 1つの集積回路上に集積している。例えば、目下、高速ロジック、パワーロジック、スタティックランダムアクセスメモリ、不揮発性メモリ、埋込みダイナミックランダムアクセスメモリ、アナログ回路、および他の装置およびテクノロジーに対し、同じ集積回路ダイ上に集積することが考慮されている。これら装置の多くは、異なるゲート誘電体処理および異なるゲート誘電体層を必要とする。

【0003】

【発明が解決しようとする課題】 デュアルゲート半導体装置は設計の問題を十分に対処してきたが、問題が無いわけではない。例えば、低電圧トランジスタのゲート酸化膜厚は、実質的に低減し、かつ低減し続けている。これら極薄酸化膜には、しばしばより厚いゲート酸化膜には関連しないホウ素拡散問題が発生することが分かった。更に、高品質を実現するよう、極薄ゲート酸化膜は挑戦してきた。容易に理解されるように、ゲート電極は一般に、ソースおよびドレイン領域と同じイオン注入プロセスによってドーピングされる。例えば、ホウ素は、しばしば、Pチャネル金属酸化膜半導体電界効果トランジスタ (MOSFET) においてソースおよびドレインを形成するよう注入され、また、MOSFET のゲート電極に注入されることにより P 型ポリシリコンゲート電極を生成する。しかしながら、ホウ素はかかる「軽い」原子であるため、ポリシリコンゲート電極に注入されるホウ素は、粒界に沿って下方におよびゲート酸化膜内に容易に拡散する可能性がある。非 I/O トランジスタのゲート酸化膜は、連続的に低減しているため、目下、ホウ素を下にあるチャネル領域に拡散しないようにすることができない。ゲート電極からチャネル領域への追加のホウ素拡散は、半導体装置の装置パラメータ、特に閾値電圧、ゲート漏れ電流およびトランジスタ信頼性に影響を与える可能性がある。

【0004】 従って、本技術分野で必要とされているものは、現デュアルゲート半導体装置に関連する問題が発生しないデュアルゲート半導体装置である。

【0005】

【課題を解決するための手段】 従来技術の上述した欠点に対処するために、本発明は、デュアルゲート半導体装置およびその製造方法を提供する。1つの実施の形態では、デュアルゲート半導体装置は、窒素および酸素が上に形成されている拡散障壁層を有する第 1 のゲート誘電体が上に形成されている低電圧領域と、第 1 のゲート誘電体より厚い第 2 のゲート誘電体が上に形成されており、拡散障壁層が無い高電圧領域と、を含む。

【0006】 従って、1つの態様において、本発明は、第 1 のゲート誘電体上に形成された窒素および酸素を含む拡散障壁層を有するデュアルゲート半導体装置とその製造方法とを提供し、ゲート漏れを低減しホウ素注入を

制限することによって、デュアルゲート半導体装置の寿命を延長する。

【0007】1つの特定の実施の形態では、第2のゲート誘電体は、約3.5nmの厚さを有し、第1のゲート誘電体は、約1.0nmから約2.0nmに亙る厚さを有する。代替的な実施の形態では、第1のゲート誘電体は緻密化された酸化物である。他の実施の形態では、第1のゲート誘電体には、ホウ素がドーパされたソース/ドレイン領域が関連している。他の実施の形態では、拡散障壁層は約0.5nmから約1.0nmに亙る厚さを有しており、低圧化学気相成長(LPCVD)プロセス、プラズマ化学気相成長(PECVD)プロセスまたは他の同様のプロセスを用いて堆積されてよい。好ましい実施の形態では、拡散障壁層は、酸化窒化膜障壁層である。

【0008】他の態様では、第1および第2のゲート誘電体は、酸化物を含むが、好ましい態様では、第1および第2の誘電体は二酸化珪素を含む。他の態様では、拡散障壁層の上に第1のゲートが形成される。代替的な態様では、第1のゲートはP型チャネル金属酸化膜半導体(PMSO)装置のゲートを形成する。代替的な態様では、第2のゲート誘電体の上に第2のゲートが形成される。

【0009】本発明の他の実施の形態は、内部に上述したデュアルゲート半導体装置が設けられた集積回路を提供する。本集積回路は、(1)基板上に形成された上記デュアルゲート半導体装置と、(2)デュアルゲートトランジスタ上に形成された誘電体層と、(3)誘電体層内に形成され、デュアルゲートトランジスタを相互接続することにより演算集積回路を形成する相互接続構造と、を含む。他の実施の形態では、集積回路は更に、CMOS装置、BiCMOS装置、バイポーラ装置または他の同様の装置を含む。

【0010】上述したことは、当業者が以下の本発明の詳細な説明をより理解できるよう、本発明の好ましい特徴および代替的な特徴をむしろおおまかに概説した。発明の特許請求の範囲の主題を形成する本発明の追加の特徴は、下に説明する。当業者は、開示された概念および特定の実施の形態を、本発明の同じ目的を成し遂げる他の構成を設計しまたは変更する基礎として容易に使用することができる、ということを理解するはずである。また、当業者は、かかる等価な構成がその最も広い形態で発明の精神および範囲を逸脱しない、ということを確認するはずである。

【0011】本発明をより完全に理解するために、ここで添付の図面と共に以下の説明を参照する。

【0012】

【発明の実施の形態】最初に図1Aを参照すると、製造の初期段階におけるデュアルゲート半導体装置100の部分断面図が示されている。デュアルゲート半導体10

0は、半導体ウェハ基板105を含み、その上には、シャロートレンチ分離構造110が形成されている。シャロートレンチ分離構造110は、基板105の部分内に選択的にトレンチ120を反応性イオンエッチングすることによって形成されてよい。そして、望ましい場合はトレンチ120内にライナ115が形成されてよい。好ましくは、ライナ115は、薄い熱成長二酸化珪素層かまたは酸化窒化物層である。そして、トレンチの大部分には、高密度プラズマまたは同様のプロセスを用いて、テトラエチルオルソシリケート(TEOS)等の誘電体充填材料122が充填される。このTEOS材料は、トレンチ分離構造110と共にもたらされる同様の手続きを使用して、化学的機械的研磨(CMP)されるかまたは平面化される。なお、示されているトレンチ分離構造110の代りに珪素の局所酸化(LOCOS)かまたはポリシリコンバッファ(PBL)等の他の分離方式が使用されてもよい。また、半導体ウェハ基板105は、ウェハレベルに配置された基板またはウェアレベルより上に配置された基板を含む、デュアルゲート半導体装置100に配置されたいかなる基板であってもよい。

【0013】シャロートレンチ分離構造110の形成後、低電圧領域125および高電圧領域130を含むデュアルゲート半導体装置100の表面全体に、従来の方法で薄い誘電体材料の第1層135が成長させられる。更に、当業者は、デュアルゲート半導体装置100の設計と矛盾しないものとして知られている他のあらゆる堆積技術が使用されてよい、ということを知っている。1つの実施の形態では、誘電体材料の第1層135は、二酸化珪素層等の酸化物層であってよい。しかしながら、望ましい場合は他の誘電体材料が使用されてもよい。好ましい実施の形態では、誘電体材料の第1層135は、約1.0nmから約2.0nmに亙る厚さを有している。

【0014】図1Bに戻ると、誘電体材料の第1層135上に酸素および窒素を含む拡散障壁層140を堆積した後の、図1Aに示す部分的に完成したデュアルゲート半導体装置100が示されている。拡散障壁層140は、複数の従来からの技術を使用して堆積されてよい。例えば、低圧化学気相成長(LPCVD)プロセス、プラズマ化学気相成長(PECVD)プロセス、急速熱処理CVD(RTCVD)プロセスまたは他のあらゆる同様のプロセスが使用されてよい。拡散障壁層140は、好ましくは約0.5nmから約1.0nmに亙る厚さを有しているが、他の厚さも本発明の範囲内にある。好ましい実施の形態では、窒素および酸素拡散障壁層は、化学式 $\text{SiO}_x\text{N}_y$ を有する酸化窒化膜である。ここで、xおよびyは、優れた利益を得るため、ガス流量、温度および他の条件を変えることによって変化してよい。

【0015】図2に示すように、フォトリソ層が従来の方法で堆積され、パターン形成され、洗い流される

ことにより、低電圧領域125上にパターン化されたフォトリソ領域210が残る。フォトリソ領域210は、低電圧領域125を後に続く酸化プロセスから保護する。そして、従来からの方法を用いて、誘電体材料の第1層135と拡散障壁層140(図1B)とがエッチングされることにより、低電圧層125上に誘電体材料の第1層220の一部と拡散障壁層230の一部とが残る。例えば、プラズマエッチングを使用して窒素および酸素含有材料を除去することができ、フッ化水素酸エッチングを使用して第1の誘電体材料を除去することができる。エッチングに続き、フォトリソ領域210が除去される。

【0016】図3を参照すると、誘電体材料の第2層310の成長に続く、図2に示す部分的に完成したデュアルゲート構造100が示されている。誘電体材料の第2層310は、図1Aにおける誘電体材料の第1層135と同様に従来の方で成長させられる。誘電体材料の第2層310は、好ましくは誘電体材料の第1層135より厚い厚さまで、より好ましくは約3.5nmの厚さまで成長させられるが、他の厚さであってもよい。更に、窒素および酸素含有層である拡散障壁層230の部分が酸素拡散をブロックするため、拡散障壁層230の部分と誘電体材料の第1層220の部分との厚さは、誘電体材料の第2層310によって少しでも影響を受ける場合、その影響は最小限である。逆に、窒素および酸素含有層すなわち拡散障壁層230の部分および誘電体材料の第1層220の部分は、緻密化されてよく、上部にわずかに酸化された部分320を形成してよい。このため、誘電体材料の第2層310は、高電圧領域130上にのみ設けられる。

【0017】図4を参照すると、ゲート材料410を従来の方で堆積した後の、図3に示す部分的に完成したデュアルゲート半導体装置100が示されている。ゲート材料410は、例えばポリシリコン等、トランジスタ装置のゲートとして目下使用されあるいは将来使用され得るあらゆる材料であってよい。窒素および酸素含有層である拡散障壁層230の部分と誘電体材料の第1層220の部分とを含む低電圧領域125へのホウ素の注入は示されていない。両領域125、130内の全注入ステップの完了後、タングステンシリサイド(WSi)等の薄キャッピング層420が従来の方で堆積されてよい。そして、フォトリソが、従来の方で堆積され、パターン形成され、洗い流されることにより、フォトリソ構造430が形成される。

【0018】そして、図4に示す部分的に完成したデュアルゲート半導体装置100が、従来の方でエッチングされ、フォトリソ430が除去されることにより、図5に示す完成したデュアルゲート半導体装置500が残る。完成したデュアルゲート半導体装置500は、それぞれ低電圧領域125および高電圧領域130

に形成された、低電圧トランジスタ装置510と高電圧トランジスタ装置540を含む。低電圧トランジスタ装置510は、第1のゲート誘電体515と第1のゲート誘電体515上に形成された障壁層520とを含む。上述したように、第1のゲート誘電体は、約1.0nmから約2.0nmに互る厚さを有し、障壁層520は、約0.5nmから約1.0nmに互る厚さを有している。低電圧トランジスタ装置510は、更に、障壁層520上に形成された第1のゲート525と第1のゲート525上に形成された第1のキャッピング層530とを含む。第1のゲート525内には、上述したように、ホウ素が拡散されている。これにより、第1のゲート525は、P型チャネル金属酸化膜半導体(PMOS)のゲートを形成してよい。そのため、障壁層520は、ホウ素が下にあるチャネル領域に拡散しないようにする。従って、閾値電圧、ゲート漏れ電流およびトランジスタ信頼性は、影響を受けず、低電圧トランジスタ510は非常に高速でかつ低電圧で動作することができる。

【0019】高電圧トランジスタ装置540は、第2のゲート誘電体545を含み、第2のゲート誘電体545の上には第2のゲート550が形成されている。更に、高電圧トランジスタ装置540には障壁層520が無い。上述したように、第2のゲート誘電体は好ましくは約3.5nmの厚さを有している。第1のゲート525と同様に、第2のゲート550の上には第2のキャッピング層が形成されてよい。高電圧トランジスタ装置540は、デュアルゲート半導体装置500を動作させるために適当な量の駆動電流を提供するために、十分な酸化物厚さを有している。

【0020】図6を簡単に参照すると、本発明の原理に従って製造されてよい、従来からの集積回路600の断面図が示されている。集積回路600は、CMOS装置、BiCMOS装置、バイポーラ装置または他のあらゆるタイプの同様な装置であってよい。また、図6には、低電圧トランジスタ510、高電圧トランジスタ540、第1のゲート誘電体515、第2のゲート誘電体545、障壁層520および誘電体層615を含む、従来からの集積回路600のコンポーネントが示されている。誘電体層615内には相互接続構造620が形成されてよい。相互接続構造620は、トランジスタ510、540を集積回路600の他の領域と接続する。また、従来の方で形成されたタブ623、625、ソース領域633およびドレイン領域635が示されており、それらはすべて基板640上に形成されている。

【0021】本発明を詳細に説明したが、当業者は、その最も広い形態で本発明の精神および範囲を逸脱することなく、本明細書において種々の変更および置換を行うことができる、ということを理解するはずである。

【図面の簡単な説明】

【図1A】製造の初期段階におけるデュアルゲート半導

体装置の部分断面図を示す。

【図 1 B】誘電体材料の第 1 層上に窒素および酸素含有層を従来からの方法で堆積した後の、図 1 A に示す部分的に完成したデュアルゲート半導体装置を示す。

【図 2】窒素および酸素含有層と誘電体材料の第 1 層とをエッチングするプロセスを示す。

【図 3】誘電体材料の第 2 の層の成長につづく、図 2 に

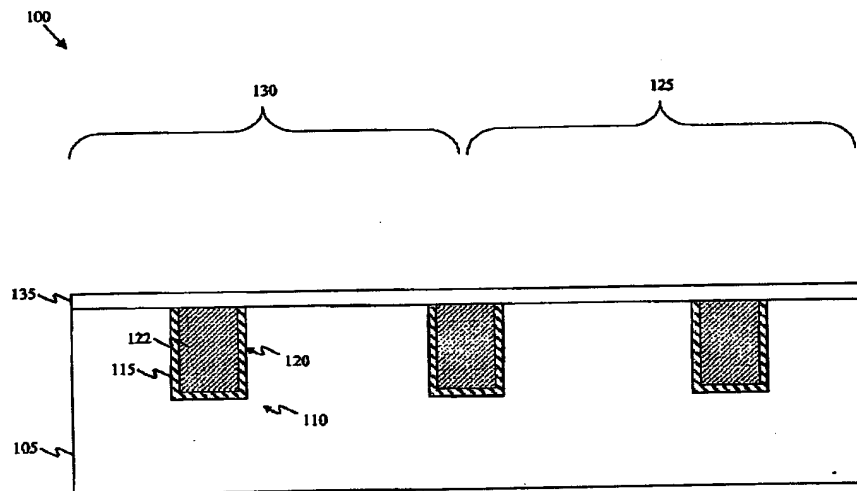
示す部分的に完成したデュアルゲート構造を示す。

【図 4】ゲート材料を従来からの方法で堆積した後の、図 3 に示す部分的に完成したデュアルゲート半導体装置を示す。

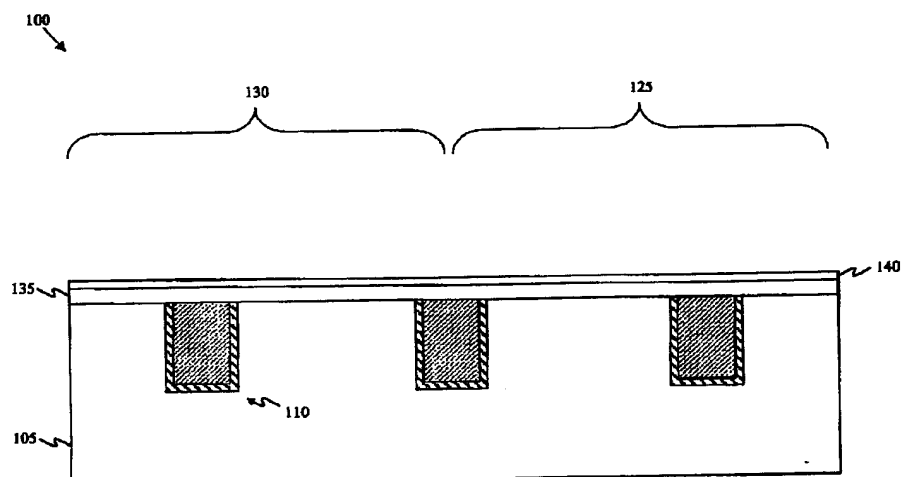
【図 5】完成したデュアルゲート半導体装置を示す。

【図 6】本発明の原理に従って製造されてよい、従来からの集積回路の断面図を示す。

【図 1 A】

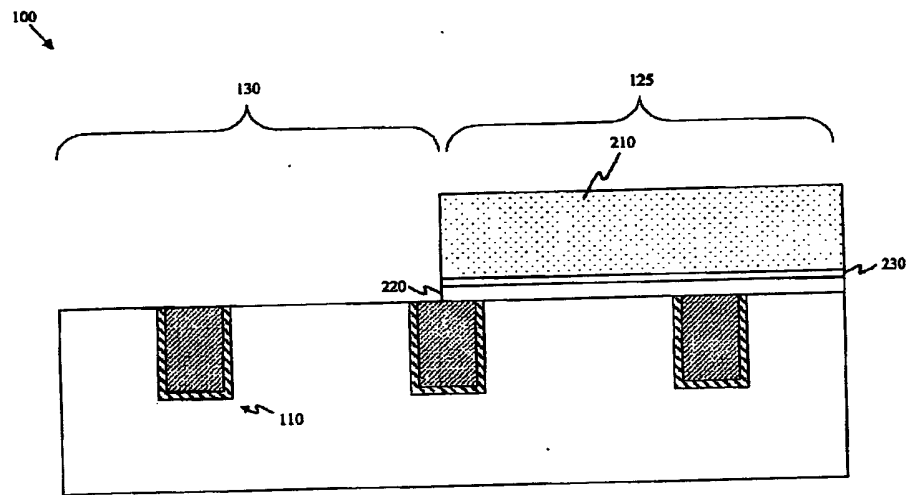


【図 1 B】

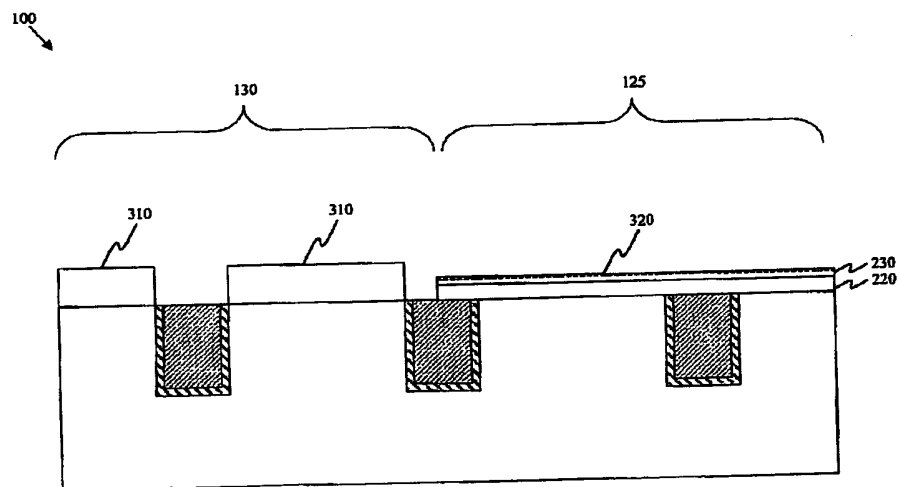




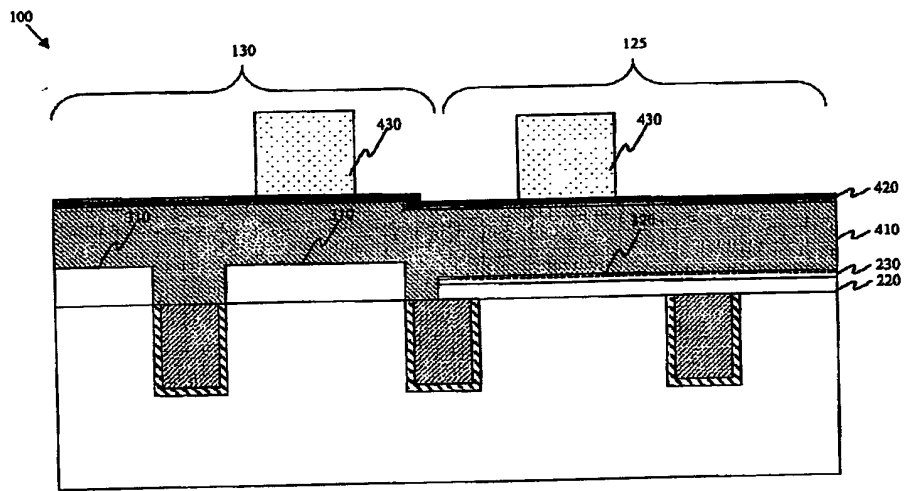
【図2】



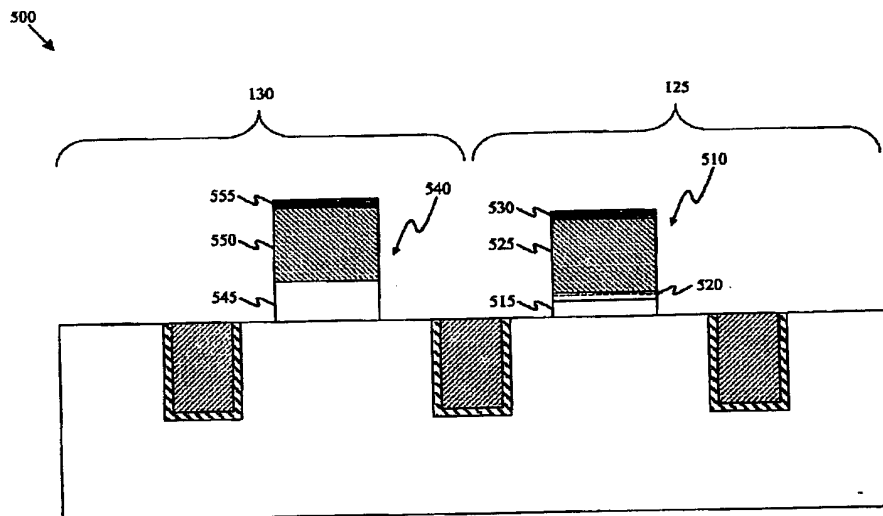
【図3】



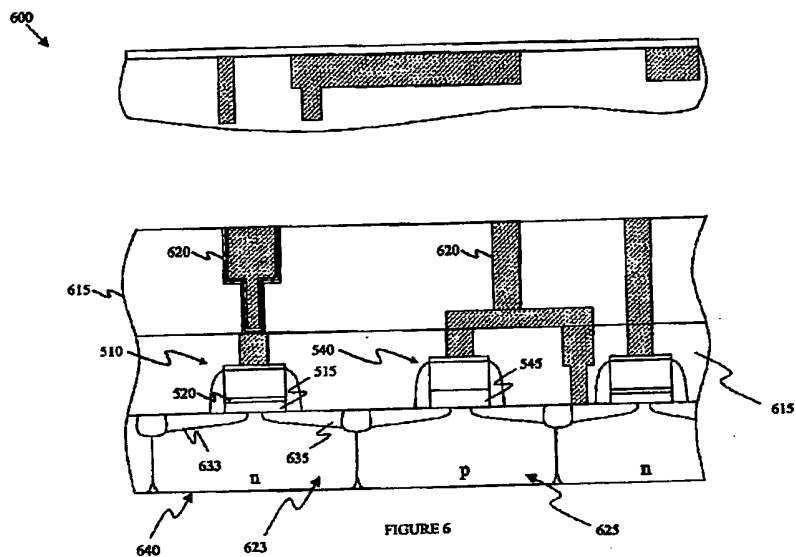
【図4】



【図5】



【図6】



フロントページの続き

(72)発明者 サイレッシュ チッティベッディ  
アメリカ合衆国 18104 ペンシルヴァニア,  
ア, アレントアウン, レネイブ トレイル  
308

(72)発明者 イー マ  
アメリカ合衆国 32837 フロリダ, オー  
ランド, ランヨン サークル 2569

(72)発明者 プラディップ ケー. ロイ  
アメリカ合衆国 32819 フロリダ, オー  
ランド, ヒデン アイビー コート 7706

Fターム(参考) 4M104 AA01 BB01 CC05 EE03 EE14  
FF14 GG09 GG10 GG13 GG14  
GG15 GG16 HH04  
5F048 AA07 AC01 AC03 AC05 BA01  
BB01 BB07 BB08 BB11 BB12  
BB16 BB17 BC15 BG13 BG14  
5F058 BA05 BD01 BD04 BD15 BF04  
BF07 BF25 BF29 BF30 BJ01

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☒ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☒ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**